

بهینه سازی مصرف توان در لچ مقاوم به خطاهای چند رخدادی گذرا

علی زارعی^۱، امیر رجب زاده^۲، غلامرضا کریمی^۳

^۱کارشناسی ارشد، گروه کامپیوتر، دانشگاه رازی، کرمانشاه

A.zarei@pgs.razi.ac.ir

^۲استادیار، گروه کامپیوتر، دانشگاه رازی، کرمانشاه

Rajabzadeh@razi.ac.ir

^۳استادیار، گروه برق، دانشگاه رازی، کرمانشاه،

ghkarimi@razi.ac.ir

چکیده

در این مقاله سعی شده است با استفاده از روش‌های کاهش توان در لایه ترانزیستور لچی طراحی گردد که علاوه بر مقاومت در برابر خطا به لحاظ مصرف توان در سطح بسیار مطلوبی باشد و به همین جهت از آن می‌توان برای طراحی سیستم‌ها با کاربرد بحرانی استفاده کرد. امروزه افزایش فرکانس کاری مدارات و استفاده از افزونگی جهت مقاوم‌سازی آنها در برابر خطا سبب شده است توان مصرفی مدارات به شدت افزایش یابد. این مقاله با استفاده از روشی موسوم به بایاس انطباقی بدنه (Adaptive body bias) سعی در کاهش موثر توان لچ کرده است به گونه ای که آنرا برای استفاده در سیستم‌های با توان پایین مهیا ساخته است. بکارگیری پنج عنصر C-Element در لچ مذکور، آنرا در برابر واژگونی بیت نه فقط برای رخداد خطا در یک نقطه بلکه در چند نقطه مقاوم سازی کرده است. لچ طراحی شده با استفاده از نرم افزار Hspice و با تکنولوژی ۹۰^{nm} ارزیابی شده است. مصرف توان لچ ارائه شده نسبت به لچ بدون افزونگی ۱۵۳٪ سربار دارد هرچند که با اعمال روش کاهش توان، افزونگی سربار آن را تا ۱۰۶٪ کاهش داده ایم. این بدین معناست که لچ طراحی شده با حضور افزونگی مصرف توانی برابر با ۱/۹۳^{uW} داشته که در مقایسه با مقدار مصرف توان، بدون اعمال روش‌های کاهش توان ۴۲٪ کاهش نشان می‌دهد. تمام اینها در شرایطی حاصل شده است که مدار لچ در برابر خطاهای تک رخدادی و چند رخدادی گذرا ۱۰۰٪ پوشش را نشان می‌دهد.

کلمات کلیدی

لچ، توان مصرفی، بایاس انطباقی بدنه، واژگونی بیت، خطای چند رخدادی گذرا، عنصر C-Element

قوت بخشیده است. وجود این افزونگی‌ها نیز مصرف توان مدار را تا چندین برابر افزایش می‌دهد.

در سال‌های اخیر، استفاده از سیستم‌های تعبیه‌شده و همچنین وسایل قابل حمل نظیر تلفن‌های همراه و سیستم‌های PDA جزئی از زندگی روزمره شده است. این سیستم‌ها معمولاً از باتری به عنوان منبع انرژی استفاده می‌کنند و از آنجایی که زمان استفاده از باتری محدود است و همچنین امکان تعویض یا شارژ باتری در هر زمان دلخواه در بسیاری از

رشد سریع تکنولوژی CMOS، کاربردها، شرایط و فرکانس کاری مدارهای دیجیتال سبب شده است مصرف توان این مدارات بیش از پیش مورد توجه قرار گیرد. از سوی دیگر کاهش اندازه ترانزیستورها و کاهش ولتاژ منبع تغذیه حساسیت مدارات در برابر خطاهای گذرا را افزایش داده است و نیاز به رفع این خطاها با استفاده از افزونگی‌ها را

۱- مقدمه