

طراحی مدار نگهدار کم توان سرعت بالا برای تمام جمع کننده دینامیک توان پایین پیاده سازی شده با مدار Majority-not خازنی ۳ و ۵ ورودی

شیما رضائی^۱، کیوان ناوی^۲

^۱ دانشگاه شهید بهشتی، دانشکده برق و کامپیوتر، تهران
sh.rezaei@ut.ac.ir

^۲ دانشگاه شهید بهشتی، دانشکده برق و کامپیوتر، تهران
navi@sbu.ac.ir

چکیده

این مقاله شامل طراحی یک مدار نگهدار کم توان سرعت بالا برای تمام جمع کننده دینامیک تک بیتی توان پایین پیاده سازی شده با مدار Majority-not خازنی ۳ و ۵ ورودی می باشد. مدار نگهدار پیشنهادی به کمک ایده ی مدار دینامیک پیش شارژ مقاوم نویز طرح گردیده است. مدار جمع کننده مورد بررسی به همراه مدار نگهدار پیشنهادی و تعدادی از مدارهای نگهدار دیگر با ساختار CMOS چندآستانه ای پیاده سازی و با تکنولوژی $0.18\mu m$ شبیه سازی شده است. نتایج شبیه سازی بهبود قابل ملاحظه ای را از نظر توان و حاصل ضرب توان-تأخیر نشان می دهد.

کلمات کلیدی

تمام جمع کننده، تابع Majority-not، ساختار CMOS چندآستانه ای، نگهدار.

خروجیشان می کند. در نتیجه استفاده از مدارهای نگهدار کم توان برای جمع کننده ها حائز اهمیت زیادی می باشد.

۱- مقدمه

لذا با توجه به اینکه مدار جمع کننده دینامیک پیاده سازی شده با مدار Majority-not خازنی ۳ و ۵ ورودی [۱] به دلیل استفاده از ترانزیستورهای ولتاژ آستانه بالا جهت عملکرد صحیح مدار Majority-not و نیز تعداد کم ترانزیستورهای آن، در مقایسه با جمع کننده ها و نگهدارهای دیگر دارای توان مصرفی بسیار محدودی می باشد، طراحی یک نگهدار کم توان سرعت بالا برای این مدار می تواند جمع کننده اخیر را به عنوان یک بلوک مؤثر در کاربردهای توان پایین مطرح کند. در این تحقیق سعی شده با الهام از ساختار جمع کننده مورد بررسی، مدارهای نگهدار موجود و ساختار دینامیک پیش شارژ مقاوم نویز، یک مدار نگهدار کم توان سرعت بالا برای جمع کننده مورد نظر طراحی گردد.

ساختار این مقاله به شرح زیر می باشد: بخش اول مقدمه، بخش دوم مروری بر جمع کننده دینامیک توان پایین پیاده سازی شده با مدار Majority-not خازنی ۳ و ۵ ورودی، بخش سوم مروری بر انواع مدارهای نگهدار، بخش چهارم طراحی مدار نگهدار پیشنهادی، بخش پنجم نتایج شبیه سازی و بخش آخر نتیجه گیری.

در سال های اخیر به دلیل نقش اساسی عملگر جمع در عملکرد عملگرهای دیگر نظیر تفریق، ضرب، تقسیم و محاسبات آدرسی، استفاده گسترده آن در میکروپروسسورها و ساختارهای DSP [۳] و ملاحظات توان مصرفی که ناشی از رشد سریع مخابرات سیار و سیستم های قابل حمل و نقل مانند نت بوک هاست و نیز عدم رشد سریع تکنولوژی ساخت باتری ها به همراه کاهش تکنولوژی ساخت مدارات مجتمع و در نتیجه افزایش شدید جریان های ناشی از جریان زیرآستانه و جریان نشتی گیت [۴]، طراحی سلول جمع کننده توان پایین سرعت بالا را همواره مورد توجه طراحان مدارهای مجتمع قرار داده است. در این میان مدارهای دینامیک به دلیل کاهش تعداد ترانزیستورها و در نتیجه کاهش سطح تراشه اشغال شده به طور خاص مورد توجه بوده است.

مدارهای دینامیک در کنار مزایای بسیار دارای نقاط ضعفی همچون تخریب خروجی و مصرف توان بر اثر نویز و جریان های نشتی می باشند [۵] که آنها را ناچار به استفاده از مدارهای نگهدار در