

طراحی کوچک ترین تمام جمع کننده در فناوری اتوماتای سلولی کوانتومی

محمد محمدی^۱، مجید محمدی^۲، سعید گرگین^۳

۱- گروه کارشناسی ارشد کامپیوتر، دانشگاه آزاد اسلامی واحد دزفول، دزفول، ایران

۲- دانشکده مهندسی کامپیوتر، دانشگاه شهید باهنر کرمان، کرمان، ایران

۳- مدرسه علوم کامپیوتر، پژوهشکده دانش های بنیادی، تهران، ایران



Mohammad.mohammadi89@gmail.com

ارائه دهنده: محمد محمدی

خلاصه

مدار تمام جمع کننده به عنوان اصلی ترین واحد در مدار های منطقی و محاسباتی دیجیتال محسوب می گردد. در این مقاله یک تمام جمع کننده بهینه ارائه گردیده است. در طراحی این تمام جمع کننده در مقایسه با سایر تمام جمع کننده ها، از کمترین تعداد سلول استفاده شده است که در نتیجه آن، مساحت ناحیه مدار نیز کمترین مقدار تا به کنون می باشد و تاخیر مدار نیز در کمترین مقدار خود قرار گرفته است. برای طراحی این تمام جمع کننده، از روش متفاوتی برای محاسبه مقدار sum استفاده گردیده است. نتایج شبیه سازی که با استفاده از نرم افزار QCADesigner بدست آمده، نشان می دهد که مدار ارائه شده به خوبی کار می کند و می تواند به عنوان یک طراحی با کارایی بالا در فناوری اتوماتای سلولی کوانتومی مورد استفاده قرار بگیرد.

کلمات کلیدی: اتوماتای سلولی کوانتومی، جمع کننده، گیت اکثریت، شماتیک، لایه بندی

۱. مقدمه

انتظار می رود در آینده نزدیک نقش CMOS به عنوان فناوری برتر در ساخت مدارهای VLSI به دلیل محدودیت هایی از قبیل اثرات کانال کوتاه، تغییرات در میزان ناخالصی و همچنین افزایش هزینه های لیتوگرافی در مقیاس نانو و از همه مهم تر تولید گرما با چالش های جدی مواجه خواهد شد. از این رو متخصصین به دنبال فن آوری هایی هستند که بتواند ایرادات موجود در زمینه های کاهش ابعاد، تلفات توان و افزایش کارایی را برطرف سازند.

فناوری های متعددی از قبیل ترانزیستورهای تک الکترونی (SET)، دیودهای تونلی تشدید شده (RTD)، ترانزیستورهای اثر میدان با نانو لوله های کربنی (CNFET) و اتوماتای سلولی کوانتومی (QCA) برای حل مشکلات نام برده شده ظهور کرده اند. با توجه به ویژگی های یگانه QCA، یک جایگزین قدرتمند برای استفاده در مدارهای VLSI برای رسیدن به کارایی بالا از نظر چگالی ابزار، فرکانس کلاک و توان مصرفی است [۱].

این فناوری بر اساس پدیده های فیزیکی خاص به نام روابط کولومب بنا شده که حالت های منطقی در آن به جای سطوح ولتاژ، به صورت مکان جفت الکترون هاست. در QCA اطلاعات به وسیله حالات پلاریزه سلول ها، که توسط سیگنال ورودی و کلاک کنترل می شوند نمایش داده می شود [۲ و ۳]. برای پیاده سازی فیزیکی هنوز هم ابزارها در حال بررسی و توسعه دادن هستند و تحقیق در مورد معماری مدار QCA امری ضروری است. تا به حال، مدارهای گوناگونی در این فناوری طراحی شده و از نظر تعداد سلول، مساحت ناحیه و تاخیر مورد بهبود قرار گرفته اند. مدارهای منطقی بسیاری از قبیل حافظه ها، جمع کننده ها،