

مدل سازی مکانیزم های پیرشدگی برای ترانزیستورهای فین فت

دنیا آدابی^۱، محمد رضا شایسته^۲^۱دانشگاه آزاد اسلامی واحد یزد، donyaadabi@yahoo.com
^۲دانشگاه آزاد اسلامی واحد یزد، m_shayesteh45@yahoo.com

چکیده

طبق پیش بینی مور در سال ۱۹۶۵ بعد از گذشت هر هجده ماه تعداد ترانزیستورهای روی یک تراشه دو برابر می شود. این پیش بینی با کوچک کردن ابعاد ترانزیستور محقق شد. این امر منجر به افزایش عملکرد و سرعت افزارها و رشد پردازنده ها شده است. از طرف دیگر با کوچک شدن ابعاد ترانزیستورها و حرکت به سمت تکنولوژی های نانومتری بروز مشکلات جدیدی عملکرد سیستم را تحت تاثیر قرار می دهد. از جمله این مشکلات می توان نوسانات فرآیند، خطاهای نرم و پیرشدگی را نام برد. از آنجا که نوسانات پیرشدگی در اثر کارکرد تراشه و افزایش دمای آن است، بنابراین می توان با طراحی مناسب به نحوی اثر آن را کم کرد. از مهمترین عوامل موثر در پدیده پیرشدگی می توان به کوچک شدن تکنولوژی ساخت و افزایش دما در سطح تراشه به دلیل افزایش تعداد ترانزیستورها اشاره کرد. از آنجایی که اثرات پیرشدگی و نوسانات ساخت برخلاف خطاهای نرم در تراشه باقی می مانند و بخش عمده ای از آنها قابل ترمیم و بازیابی نیست، وقوع این پدیده ها قابلیت اطمینان تراشه را با چالش جدی روبرو می کند. مکانیزم های غالب پدیده پیرشدگی ناپایداری حرارتی بایاس، شکست وابسته به زمان، اثر حامل داغ و مهاجرت الکتریکی هستند. تمامی مدل های مکانیزم پیرشدگی وابسته به تکنولوژی است. پارامترهای تکنولوژی که تاکنون استخراج شده همه مربوط به تکنولوژی سی-موس^۱ بوده و اکثرا برای طول گیت بزرگ تر از ۳۲ نانومتر بوده است. در حالی که تکنولوژی به سمت استفاده از فین فت^۲ در ابعاد زیر ۲۰ نانومتر حرکت کرده است. در این مقاله پس از مطالعه مکانیزم های مختلف پیرشدگی برای تکنولوژی ۱۴ نانومتر فین فت مدل مداری ناپایداری حرارتی بایاس و شکست وابسته به زمان^۳ استخراج شده و اثر این عوامل بر عملکرد ترانزیستور مطالعه می شود. علاوه بر این برای داشتن دید درستی از طول عمر یک افزاره اثر پیرشدگی به طور همزمان با نوسانات ساخت بررسی خواهد شد.

واژه های کلیدی

تکنولوژی نانومتری، ترانزیستور فین فت، پیرشدگی، قابلیت اطمینان

مقدمه

رقابت بین سرعت، مساحت و مصرف توان در تراشه های امروزی و اهمیت این موارد، تقاضا برای بهینه سازی این سه پارامتر را افزایش داده است. به گونه ای که در چند دهه ای اخیر محققان بسیاری در این زمینه مشغول به تحقیق هستند. طبق پیش بینی مور در سال ۱۹۶۵ بعد از گذشت هر هجده ماه تعداد ترانزیستورهای موجود بر یک تراشه دو برابر می شود [۱]. در مبحث پیرشدگی تاکنون مطالعاتی انجام شده است. در [۱۸] و [۱۹] فیزیک این پدیده مطالعه شده است. در [۲۰] به بررسی اثر حجم کاری بر پیرشدگی مدارهایی که در اثر ناپایداری حرارتی بایاس^۴ و نفوذ حامل داغ^۵ دچار پیرشدگی شده اند پرداخته شده است و دیده شده است که هرچه ضریب فعالیت مدار بیش تر باشد اثر پیرشدگی ایجاد شده بیش تر خواهد بود. در [۲۱] اثر همزمانی پدیده شکست نرم اکسید^۶ و ناپایداری حرارتی بایاس بر عملکرد مدارات دیجیتال مطالعه شده است. در این مقاله نشان داده شده است که برهمکنش دو مکانیزم مختلف پیرشدگی افت بیشتری نسبت به بررسی اثرات جداگانه هر کدام دارد. در [۲۲] اثر ترانزیستورهایی که تحت تاثیر مکانیزم ناپایداری حرارتی بایاس دچار پیرشدگی شده اند، بر زمان نوشتن سلول اسرم بررسی شده است. در [۱۳]، [۲۳] و [۲۴] اثر شکست نرم اکسید بر عملکرد سلول حافظه اسرم مطالعه شده است. در این مطالعات نشان داده شده است که تنزل اصلی در عملکرد این سلول در اثر مکانیزم پیرشدگی در حاشیه نویز ایستای خواندن رخ می دهد. این مقالات بر اسرم ساخته شده با ترانزیستورهای بالک تمرکز داشتند، به علت اثرات ناشی از نوسانات ساخت و حرکت به سمت فناوری های نانومتری دیگر ترانزیستورهای بالک توانایی کار در فناوری های بسیار کوچک را ندارند. در بین ساختارهای ترانزیستوری جدید، ساختارهای ترانزیستور فین فت بیش تر به علت ساختار ساده تر و فرآیند ساخت ارزان تر مورد توجه قرار گرفته است. به همین علت نیاز است به بررسی مدارات ساخته شده با این ترانزیستور پرداخته شود این ترانزیستورها به علت کنترل الکترواستاتیکی و شیب زیرآستانه بهتر جریان نشت کمتری نسبت به ترانزیستورهای ماسفت دارند. اما با این وجود همچنان مساله

۴ Bias Temperature Instability (BTI)
۵ Hot carrier Injection (HCI)
۶ SBD

۱ CMOS
۲ FinFET
۳ Time Depended Dielectric Breakdown (TDDB)